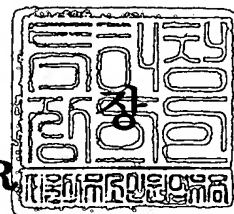


10/041732
01/07/02



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2001.01.11
【발명의 명칭】	반도체 장치 및 그 형성 방법
【발명의 영문명칭】	SEMICONDUCTOR DEVICE AND METHOD OF FORMING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	신유철
【성명의 영문표기】	SHIN, YOU CHEOL
【주민등록번호】	690207-1782829
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 황골마을 주공APT 138동 1102호
【국적】	KR
【발명자】	
【성명의 국문표기】	박규찬
【성명의 영문표기】	PARK, KYU CHARN
【주민등록번호】	600716-1674527
【우편번호】	459-100
【주소】	경기도 평택시 독곡동 464번지 라이프APT 3동 1106호
【국적】	KR

【발명자】

【성명의 국문표기】

이원홍

【성명의 영문표기】

LEE, WON HONG

【주민등록번호】

630729-1017115

【우편번호】

442-470

【주소】

경기도 수원시 팔달구 영통동 963-2번지 쌍용아파트 543동
1302호

【국적】

KR

【발명자】

【성명의 국문표기】

최정달

【성명의 영문표기】

CHOI, JUNG DAL

【주민등록번호】

640716-1670618

【우편번호】

442-470

【주소】

경기도 수원시 팔달구 영통동 청명마을 동신아파트 316동
1002호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정
에 의한 출원심사를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

16 면 16,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

18 항 685,000 원

【합계】

730,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

많은 부분에 걸쳐 실리콘 재질로 길게 형성되는 배선을 가진 반도체 장치 및 그 형성방법이 개시된다. 본 발명의 일 구성에 따르면, 본 발명 장치는 복수의 트랜지스터에서 게이트 전극의 기능을 하도록 선형으로 이루어지며 상부에 금속 실리콘사이드층을 가지고 하부는 게이트 절연막을 통해 반도체층과 격리되는 게이트 라인과, 상기 게이트 라인이 가로지르는 반도체층의 상기 게이트 라인 양쪽에 불순물 도핑만으로 형성되는 소오스 드레인 영역을 구비하여 이루어지는 것을 특징으로 한다.

【대표도】

도 5

【명세서】**【발명의 명칭】**

반도체 장치 및 그 형성 방법 {SEMICONDUCTOR DEVICE AND METHOD OF FORMING THE SAME}

【도면의 간단한 설명】

도1은 기존 낸드(NAND)형 플래시 메모리 가운데 하나에 대해 그 형성과정의 한 단계에서 플래시 메모리의 셀 영역의 단위 구간을 개략적으로 도시한 평면도,

도2는 도1의 상태에서 I I 절개선에 따른 단면을 나타내는 단면도,

도3은 도1의 상태에서 II II 절개선에 따른 단면을 나타내는 단면도,

도4는 본 발명의 일 실시예를 이루는 낸드형 플래시 메모리 장치의 셀 영역 일부에 대한 평면도,

도5는 도4의 II II 라인에 따라 절개한 면을 나타내는 측단면도,

도6 내지 도10은 도5에 도시된 구성의 낸드형 플래시 메모리 장치를 형성하는 중요 단계를 나타내는 공정 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체 장치 및 그 형성방법에 관한 것으로, 보다 상세하게는 게이트 라인과 같이 장치의 많은 부분에 걸쳐 실리콘 재질로 길게 형성되는 배선을 가진 반도체 장치 및 그 형성방법에 관한 것이다.

<8> 반도체 장치 가운데 DRAM이나 FLASH MEMORY 등에서는 열 부담(thermal budget) 기타 공정 상의 편리성 등의 이유로 통상 게이트 라인 등에 금속에 비해 도전성이 떨어지는 실리콘 배선을 길게 형성하여 사용하게 된다. 따라서 행렬형의 셀들을 이룰 때 나란히 형성되는 게이트 라인 중간에 게이트 라인의 선저항에 강하된 전압을 보충할 수단이 갖추어져야 한다. 결과적으로 가령 칩 전체에 걸쳐 연속되는 게이트 라인을 형성할 수 없다. 소자 고집적화에 따라 셀간 간격은 줄어드는 경우에도 배선의 폭이 줄어들고 그에 따라 선저항은 증가하므로 칩 전체를 생각하면 게이트 라인을 따라 강하되는 게이트 전압을 일정 이상으로 유지하고 용량 및 저항에 의한 신호 지연을 방지하기 위해 게이트 라인의 중간에 새로이 전압을 걸거나 전압을 보정할 수단들이 더 많이 필요할 수 있다. 이런 수단을 형성하기 위해서는 메모리 장치의 주변 구조가 복잡해지고, 디자인이 어려워지며, 셀 행렬 중간에 이들을 설치하기 위해서 집적도의 손실이 유발된다. 그리고, 이런 문제들을 경감시키기 위해 실리콘 배선을 금속과 복층으로 형성하거나 실리콘 배선 표면에 금속 실리사이드를 형성하여 사용하는 경우가 있다.

<9> 도1은 기존 낸드(NAND)형 플래시 메모리 가운데 하나에 대해 그 형성과정의 한 단계에서 플래시 메모리의 셀 영역의 단위 구간 평면을 개략적으로 도시한 것이다.

<10> 도1을 참조하면, 도면 좌우로 게이트 라인들이 형성되고, 상하로 소자 분리막 형성에 의해 플래시 메모리의 각 선형 활성 영역(22)이 정의된다. 선형 활성 영역(22)을 따라 반복되는 구성을 가지는 단위 구간에는 위로부터 스트링 선택 게이

트 라인(33s), 8개, 16개 혹은 32개로 형성되는 셀 메모리와 관련된 워드 라인(WP), 접지 선택 게이트 라인(33g)이 가로질러 형성된다. 게이트 라인들 아래로 공통 소오스 라인(45)이 형성되고, 공통 소오스 라인(45)을 중심으로 선 대칭의 형태로 아래쪽에 차례로 접지 선택 게이트 라인(33g), 복수의 워드 라인(WP) 및 스트링 선택 게이트 라인(33s)이 형성된다. 따라서 공통 소오스 라인(45)은 두 개의 접지 선택 게이트 라인(33g) 사이에 형성된다. 그리고 스트링 선택 게이트 라인(33s)의 드레인을 이루는 단위 구간의 양 단에는 비트라인(55)과의 콘택(51)이 형성된다.

<11> 도2는 도1의 상태에서 I I 절개선에 따른 단면을 나타내며, 도3은 도1의 상태에서 II II 절개선에 따른 단면을 나타낸다.

<12> 도2를 참조하면, 좌우로 공통 소오스 라인(45)이 기판(20)에서 도1의 상하 접지 선택 게이트 라인(33g)의 소오스(35s')를 이루는 활성영역들 및 그 사이의 소자 분리막(23)들과 접속된 상태로 형성되어 있고, 그 위로 층간 절연막(49)을 격하여 비트라인(55)이 수직으로 꼬인 위치로 형성되어 있다.

<13> 도3을 참조하면, 도1의 상하 방향으로 형성된 스트링 혹은 활성 영역(22)이 본 도에서는 좌우방향으로 기판(20) 상부에 형성되어 있다. 그 위로 각 게이트 라인이 스트링을 가로지르도록 형성됨을 알 수 있다. 공통 소오스 라인(45)은 좌우로 형성된 대칭된 두 스트링에 있는 두 개의 접지 선택 게이트 라인(33g) 사이의 공통 소오스(35s') 영역과 접속되고 있다.

<14> 이상의 도면에 표현된 플래시 메모리 구조를 이루는 공정 과정을 간단히 살

펴보면, 먼저, 기판(20)에 도시되지 않은 소자 분리를 위한 절연막이 통상 STI 방법으로 형성된다. 소자 분리 절연막에 의해 활성 영역이 정의된다. 그리고 활성 영역에 게이트 절연막(24)이 형성된 뒤 스트링 선택 게이트 라인(33s), 복수의 워드 라인(WP), 접지 선택 게이트 라인(33g) 같은 게이트 라인이 활성 영역을 가로지르도록 형성된다. 또한, 게이트 라인들 사이에 드러난 활성 영역에는 불순물 도핑이 이루어져 동일한 선형 활성 영역을 따라 인접한 트랜지스터의 소오스 드레인 영역(35')이 겹쳐지게 형성된다. 통상 이온 주입에 의해서 형성된 소오스 드레인 영역(35')은 게이트 라인 측벽에 형성될 수 있는 스페이서(37)를 이용하여 LDD 구조를 이룬다. 이상의 과정은 플래시 메모리 분야의 기술자들에게 이미 잘 알려져 있다. 다음으로, 층간 절연막(41)을 적층하고 평탄화를 실시한다. 접지 선택 게이트 라인(33g)들의 공통 소오스 영역(35s')이 드러나게 그루브를 형성하고 폴리실리콘 등의 도전체를 채워 공통 소오스 라인(45)을 형성한다. 다시 층간 절연막(49)을 덮고 스트링 선택 게이트 라인(33s)의 드레인 영역(35d')이 드러나게 콘택홀을 형성하고, 비트라인(55)을 형성하면서 도전층을 채워 비트라인 콘택(51)도 함께 형성한다.

<15> 한편, 도3에 검게 해칭된 것과 같이 게이트 라인의 저항을 낮추기 위해 드러난 게이트 라인들의 상부에 코발트나 티타늄 금속 실리사이드를 형성할 수 있다. 금속 실리사이드를 형성하는 과정에서 기판의 소오스 드레인 영역에도 금속 실리사이드가 형성된다. 그런데, 소자의 고집적화에 따라 고집적 낸드형 플래시 메모리에서는 게이트 라인의 폭 및 게이트 라인 사이의 거리가 0.15 μ m 이하로 됨에 따라 셀 게이트 좌우의 소오스 드레인 영역 사이에 걸리는 전압에 의해 채널 브레이크 다운(break down)이 발생할 가능성이 높아진다. 특히, 소오스 드레인 영역이 불순물에 의해 고농도로 도핑될 경우 어닐링 과

정에서 도핑영역이 확산되고 채널의 길이(length of channel)가 적정 수준을 유지할 수 없게 되어 브레이크 다운이 발생하기 쉽다. 또한 소오스 드레인 영역이 고농도로 도핑될 경우 기판으로의 누설 전류가 많아지는 문제가 있다. 따라서 스트링에 형성되는 각 트랜지스터의 소오스 드레인 영역은 메모리의 집적도가 클수록 불순물이 저농도로 도핑되어야 한다. 그리고, 이들 소오스 드레인 영역에 금속 실리사이드가 형성될 경우 도전성이 커지면서 채널 브레이크 다운과 전류 누설의 문제는 더욱 심각하게 되어 공정 자체가 불가능하게 된다.

<16> 따라서 실리콘 게이트 라인의 선저항에 따른 전압 강하와 신호 지연을 방지하는 동시에 좁게 형성되는 게이트 양쪽의 기판에 형성되는 소오스 드레인 영역의 불순물 농도 혹은 도전성을 낮게 유지하여 채널 브레이크 다운과 누설 전류를 억제할 수 있는 수단이 요청된다.

【발명이 이루고자 하는 기술적 과제】

<17> 따라서 본 발명은 상기 과제를 해결하기 위한 것으로, 실리콘 게이트 라인의 선저항을 낮추고 동시에 이들 게이트 라인 양측 기판의 소오스 드레인 영역의 도전성을 낮게 유지할 수 있는 반도체 장치 및 그 형성 방법을 제공하는 것을 목적으로 한다.

<18> 본 발명은 상부에 금속 실리사이드를 채용하는 실리콘 게이트 라인을 형성하면서 소오스 드레인 영역의 기판에 금속 실리사이드가 형성되지 않는 반도체 장치 및 그 형성 방법을 제공하는 것을 목적으로 한다.

<19> 본 발명은 또한 금속 실리사이드를 채용하는 게이트 라인의 폭이 0.15 μ m 이하로 미세하게 형성될 때 스트링 내의 각 채널에서의 브레이크 다운 및 소오스 드레인 영역의

누전을 억제할 수 있는 플래시 메모리 장치 및 그 형성 방법을 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<20> 상기 목적을 달성하기 위한 하나의 구성에 따른 본 발명 반도체 장치는, 복수의 트랜지스터에서 게이트 전극의 기능을 하도록 선형으로 이루어지며 상부에 금속 실리사이드층을 가지고 하부는 게이트 절연막을 통해 반도체층과 격리되는 게이트 라인과, 상기 게이트 라인이 가로지르는 반도체층의 상기 게이트 라인 양쪽에 불순물 도핑만으로 형성되는 소오스 드레인 영역을 구비하여 이루어지는 것을 특징으로 한다.

<21> 본 발명에서 반도체층은 통상 실리콘 기판으로 이루어진다. 또한 불순물 도핑은 게이트 라인의 폭에 따라 달라질 수 있으나 브레이크 다운을 안정적으로 방지할 수 있도록 가령 $0.15\mu\text{m}$ 이하의 게이트 라인 폭을 가지는 반도체 장치에 적용될 수 있도록 불순물 $1\text{E}15$ 이온/ cm^2 이하의 도즈량으로 도핑되며, 불순물 도핑만이란 소오스 드레인에는 반도체층에 불순물 도핑을 제외한 금속 실리사이드 같은 도전성 영향 요소가 형성되지 않음을 의미한다.

<22> 상기 목적을 달성하기 위한 본 발명 방법의 한 구성에 따르면, 우선, 반도체 기판에 게이트 절연막을 형성하고, 게이트 절연막 위에 실리콘 게이트층을 형성한다. 그리고, 실리콘 게이트층을 패터닝하여 게이트 라인을 형성하며, 이 게이트 라인을 마스크로 저농도 불순물 도핑을 실시하여 MOS 트랜지스터 구조를 이루게 된다. 트랜지스터 구조가 형성된 기판에 층간 절연막을 적층하고 평탄화 식각을 통해 게이트 라인 상부의 실리콘층을 드러낸다. 그리고, 실리사이드를 형성할 금속층을 적층하고 어닐링을 통해 실리콘층 상부에 금속 실리사이드층을 형성한다.

<23> 실리사이드용 금속으로는 통상 코발트나 티타늄을 많이 사용한다. 실리사이드를 형성하지 못하는 잔여 금속은 식각 공정을 통해 제거된다. 따라서 기판의 소오스 드레인 영역에 금속 실리사이드를 형성하지 않고 낮은 도전성을 유지하면서 게이트 라인 상부에는 금속 실리사이드를 형성할 수 있다.

<24> 층간 절연막을 적층한 시점에서 기판의 일정 영역을 드러내는 콘택 홀 혹은 그루브와 같은 오프닝을 형성하고 도선의 역할을 할 실리콘층을 채워넣을 수 있다. 이때, 본 발명의 평탄화 식각은 실리콘층과 층간 절연막에 대해 이루어지고 게이트 라인의 실리콘층이 드러나게 되며, 오프닝 영역에도 실리콘층이 드러나게 된다.

<25> 이하 도면을 참조하면서 실시예를 통해 본 발명을 보다 상세히 설명한다.

<26> 도4는 본 발명의 일 실시예를 이루는 낸드형 플래시 메모리 장치의 셀 영역 일부에 대한 평면도이고, 도5는 도4의 II II 라인에 따라 절개한 면을 나타내는 측단면도이다.

<27> 이들은 종래의 기술을 나타낸 도1 및 도3에 대응되는 것으로, 도4 및 도5를 참조하여 설명하면, 본 발명의 플래시 메모리 장치는 기판(120) 상의 셀 영역에서 소자 분리 절연막에 의해 일방으로 나란히 형성된 복수의 선형 활성 영역(122)을 가진다. 도면에 도시된 단위 구간을 기준으로 보면, 선형 활성 영역(122)의 중앙부에는 활성 영역(122)을 가로지르면서 접하는 공통 소오스 라인(148)이 형성된다. 공통 소오스 라인(148)은 상부에 금속 실리사이드층(147)을 가지는 실리콘 벽체(145)의 형태를 가진다. 공통 소오스 라인(148)이 형성된 중앙부를 기준으로 양쪽으로 게이트 라인들이 공통 소오스 라인(148)과 나란히 형성된다.

<28> 게이트 라인은 노어(NOR)형 플래시 메모리에서는 공통 소오스 라인 양쪽으로 공통

소오스 라인과 비트 라인 콘택 사이에 하나씩 형성될 수 있다. 본 예의 낸드형 플래시 메모리에서는 공통 소오스 라인(148)이 형성되는 중앙부에서 선행 활성 영역(122)을 따라 단위 구간의 상부 및 하부로 대칭을 이루도록 접지 선택 게이트 라인(133g)과 복수의 워드 라인(WP)과 스트링 선택 게이트 라인(133s)과 같은 일단의 게이트 라인이 차례로 형성되어 있다. 이들 게이트 라인 가운데 적어도 복수 워드 라인(WP)에서는 상부에 연속되는, 금속 실리사이드층을 가지는 콘트롤 게이트용 실리콘층을 구비한다.

<29> 게이트 라인은, 게이트 라인들 가운데 적어도 복수의 워드 라인(WP)과 복수의 선행 활성 영역(122)이 교차하는 격자점 상에서 각 격자점에 대응하여 형성되는 셀 트랜지스터들의 게이트 전극이 된다. 격자점 상에 형성되는 게이트 전극의 구조를 살펴보면, 활성 영역과 게이트 전극을 이격시키는 게이트 절연막(124) 위로 플로팅 게이트, 유전막, 콘트롤 게이트로 이루어지는 비휘발성 메모리 트랜지스터의 전형적 이중 게이트 층상 구조를 가진다. 동일한 워드 라인(WP) 상에 있는 인접한 스트링의 트랜지스터들은 콘트롤 게이트층을 통해서는 연결되나 플로팅 게이트층에서는 연결되지 않는다.

<30> 게이트 라인의 양쪽 활성 영역에는 불순물 도핑이 이루어져 소오스 드레인 영역(35')을 이룬다. 따라서 하나의 선행 활성 영역에 형성된 인접한 셀 트랜지스터들은 각자의 소오스와 드레인이 겹쳐지게 된다. 접지 선택 게이트 라인(133g)과 스트링 선택 게이트 라인(33s)은 선행 활성 영역(122)을 가로지르는 격자 상에서 플로팅 게이트와 콘트롤 게이트의 2중 게이트 구조를 가질 필요가 없다. 따라서, 이들 게이트 라인은 연속하는 플로팅 게이트층만으로 형성되거나, 형성된 콘트롤 게이트층이 더미 패턴(dummy pattern)으로 존재하거나, 버링 콘택을 통해 플로팅 게이트층과 콘트롤 게이트층이 전기적으로 접속되는 경우를 가질 수 있다.

<31> 각 게이트 라인 양측벽에는 통상 절연 스페이서(137)가 형성된다. 그리고 절연 스페이서(137)를 이용하여 기판(120)의 소오스 드레인 영역(135')에는 통상의 LDD 구조가 형성될 수 있다. 즉 게이트 라인 양 옆으로 기판(120) 활성 영역(122)에 저농도 도핑 영역이 얇게 형성되고, 게이트 라인 양 옆으로 절연 스페이서와 겹치지 않는 영역에는 상대적으로 고농도의 도핑 영역이 형성될 수 있다. 그러나 상대적 고농도의 도핑 영역도 게이트 라인 하부의 채널을 통해 브레이크 다운이 일어나지 않도록 가령, 게이트 라인 폭, 즉, 채널 길이가 $0.15\mu\text{m}$ 이하일 때 농도가 이온주입시 도즈량을 기준으로 $1\text{E}15$ 이온/ cm^2 이하로 제한된다. 스페이서(137)가 형성된 게이트 라인 위로 얇게 절연 보조층(139)가 형성되는 것이 바람직하다.

<32> 게이트 라인들 및 공통 소오스 라인(148)을 감싸도록 기판 전체에 걸쳐 층간 절연막(141,149)이 존재한다. 이 층간 절연막(141,149)은 2개의 층으로 형성되며, 하층 층간 절연막(141)은 게이트 라인이나 공통 소오스 라인(148)의 금속 실리사이드층 형성 레벨과 동일한 레벨로 이루어진다. 스트링 선택 게이트 라인(133s) 상의 스트링 선택 트랜지스터에서 드레인 영역(135d')에 해당하는 영역에 층간 절연막(141,149)에 형성된 비트라인 콘택(151)과 패드를 형성하는 실리콘 패드와 금속 실리사이드층(145',147')을 통해 비트라인(55)과 접속된다. 비트라인(55)은 선형 활성 영역(122) 위로 활성 영역(122)과 나란히 형성된다. 공통 소오스 라인(148)은 각 선형 활성 영역(122)과 두 접지 선택 게이트 라인(133g)이 겹치는 부분에 이루어지는 두 접지 선택 트랜지스터들의 공통 소오스 영역(135s')를 통해 접속된다.

<33> 도5에 도시된 구성의 낸드형 플래시 메모리 장치를 형성하는 방법을 도6 내지 도10을 통해 살펴본다.

- <34> 먼저, 플래시 메모리의 셀 영역을 형성함에 있어서, 기판에 소자 분리막을 형성하여 일방으로 나란히 형성되는 선형의 활성 영역을 정의한다. 소자 분리는 고집적 플래시 메모리의 경우 통상 STI 방법으로 이루어진다. 그러나, 자기 정렬형 STI 방법을 사용할 경우, 소자 분리 전에 게이트 절연막과 플로팅 게이트용 실리콘층의 일부를 먼저 적층한다. 셀 영역에서 소자 분리막과 활성 영역이 번갈아 가면서 나란히 형성된다.
- <35> 그리고, 도6A를 참조하면, 소자 분리된 기판(120)의 활성 영역에 얇은 게이트 절연막(24)을 형성한다. 게이트 절연막(124) 위에 실리콘 플로팅 게이트층을 형성하고 패터닝하여 플로팅 게이트 중간 패턴을 형성한다. 이때 대략 실리콘 플로팅 게이트층은 활성 영역과는 나란히 겹치도록 남게되고, 활성 영역 사이의 소자 분리막 위에서는 제거된다. 단, 접지 선택 라인이나 스트링 선택 라인이 형성될 영역에서는 소자 분리막 위에서 제거되지 않고, 활성 영역을 가로지르는 연속되는 선형 패턴을 이룰 수 있다.
- <36> 그리고, 중간 패턴이 형성된 기판(120) 전면에서 분리 유전막과 실리콘 콘트롤 게이트층을 형성한다. 통상 유전막으로는 ONO(Oxide Nitride Oxide)막을 사용한다. 실리콘 콘트롤 게이트층으로는 도전성을 높이기 위해 도핑된 폴리실리콘층을 사용한다. 그리고, 실리콘 콘트롤 게이트층과 유전막 그리고 이미 형성되어 있던 중간 패턴을 식각하여 활성 영역이 형성된 방향과 수직인 방향으로 필요한 복수의 게이트 라인을 형성한다. 이때 게이트 라인과 활성 영역이 교차하는 지점의 게이트 전극(133)은 게이트 절연막(124) 위로 플로팅 게이트 패턴(126), 유전막 패턴(128), 실리콘 콘트롤 게이트층으로 이루어지는 콘트롤 게이트 패턴(130)이 겹쳐지는 층상 구조를 가지게 된다.
- <37> 게이트 절연막(124)은 패터닝 되거나, 이온주입을 위한 버퍼막으로 남겨진다. 따라서 본 예에서는 중앙을 기준으로 대칭을 이루도록 양측에 접지 선택 게이트 라인(133g),

복수의 워드 라인(WP), 스트링 선택 게이트 라인(133s) 같은 일단의 게이트 라인이 형성된다. 이때 각 게이트 라인 양쪽으로 얇은 게이트 절연막(124)이 덮인 기판(120)의 활성 영역이 드러나게 된다. 드러난 활성 영역에는 저농도 이온도핑을 실시하여 저농도 불순물 영역(135)를 형성한다.

<38> 한편, 도6B를 참조하면, 공통 소오스 라인이 형성될 영역은 게이트 라인 패터닝에 따라 기판(120)에 플로팅 게이트 중간 패턴, 유전막, 콘트롤 게이트층이 모두 제거되어 소자 분리막(123)과 저농도 불순물 영역의 한 부분인 공통 소오스 영역(135s)이 번갈아가면서 위치한다. 또한, 활성 영역에 게이트 절연막(124)이 형성된 상태에서 게이트 절연막(124) 위로 다른 층이 존재하지 않는 형태를 가지게 된다.

<39> 도7을 참조하면, 이온주입 방법으로 저농도 불순물 도핑을 실시한 상태에서 후속 공정이 실시된다. 이온주입시에 게이트 라인은 이온주입 마스크로 작용한다. 콘트롤 게이트 패턴(130), 유전막 패턴(128), 플로팅 게이트 패턴(126), 패터닝된 게이트 절연막(124)으로 이루어진 게이트 전극(133)의 측벽에 질화막 혹은 산화막의 절연 스페이서(137)를 형성한다. 스페이서(137)는 게이트 전극(133)이 형성된 기판(120) 위로 절연막을 적층하고 전면 이방성 식각을 하는 방법으로 형성된다. 측벽에 절연 스페이서(137)가 형성된 게이트 라인을 마스크로 다시 상대적인 고농도 불순물 도핑을 실시한다. 다만, 게이트 라인 하부에 형성되는 채널을 통해 브레이크 다운이 발생하지 않도록 불순물 농도는 제한된다. 이로써 LDD 구조의 소오스 드레인 영역(135')이 형성되고, MOS 트랜지스터 구조가 이루어진다. 후속 공정을 위해 식각 저지막(139)으로 실리콘 질화막을 기판 전체에 걸쳐 1000Å 정도 적층한다.

<40> 도8A를 참조하면, 게이트 전극(133)과 소오스 드레인 영역(135')이 형성되어 MOS

트랜지스터 구조를 가진 기판(120) 전면에 층간 절연막(141)을 형성한다. 층간 절연막(141)은 게이트 라인 사이의 공간을 충분히 채울 수 있을 정도의 두께로 적층, 평탄화 한다. 그리고, 중앙쪽에 인접하여 나란히 형성된 두 개의 접지 선택 라인(133g) 중간의 활성 영역인 공통 소오스 영역(135's)을 노출시키도록 층간 절연막(141)에 그루브를 식각 형성한다. 물론 그루브 형성 영역에서 식각 저지막(139)도 식각으로 제거한다. 이때 비트라인 콘택을 위한 패드를 형성하기 위해 스트링 선택 라인의 일 측부인 드레인 영역(135'd)에 콘택 홀이 함께 형성될 수 있다. 또한, 그루브 및 콘택 홀이 형성된 기판(120) 전면에 실리콘층(140), 가령, 도핑된 폴리실리콘층을 적층하여 그루브 및 콘택 홀을 채운다. 층간 절연막(141)이 드러나게 실리콘층(140)을 평탄화 식각한다.

<41> 도8B를 참조하면, 그루브를 실리콘층(140)이 채움으로써 활성 영역의 공통 소오스 영역(135s)에 접하면서 활성 영역을 가로질러 달리는 공통 소오스 라인의 실리콘 벽체의 전단계를 이루게 된다.

<42> 도9A, 도9B를 참조하면, 도8A 및 도8B에 나타난 단계에서 평탄화 식각을 실시하여 그루브를 채우는 실리콘층(140)과 층간 절연막(141) 상부를 제거하고 게이트 라인의 콘택을 게이트 패턴(30)이 드러나게 한다. 따라서 게이트 라인을 따라 길게 형성되며 일정 깊이를 가지는 공통 소오스 라인의 실리콘 벽체(145)가 실리콘층(140)으로부터 형성된다. 노출된 실리콘 표면에 금속 실리사이드층(147, 147')을 형성한다. 따라서 게이트 라인과 공통 소오스 라인의 실리콘 벽체(145) 및 비트라인 콘택용 실리콘 패드(145')의 상부에는 금속 실리사이드층(147, 147')이 형성되어 배선에 따른 저항을 줄일 수 있다.

<43> 금속은 코발트, 티타늄 등을 사용할 수 있다. 가령, 코발트를 사용하는 경우, 기판에 먼저 코발트를 스퍼터링 방법으로 100 내지 500 Å 두께로 형성한다. 1차로 RTA(rapid

thermal annealing)를 통해 450℃ 정도의 온도에서 Co_2Si 같은 코발트 실리사이드를 형성한다. 실리사이드화 되지 않은 코발트 금속은 선택적 식각을 통해 기판에서 제거한다. 다시 850℃ 정도의 고온으로 RTA를 실시하여 특성이 좋은 CoSi_2 같은 코발트 실리사이드를 형성한다.

<44> 따라서, 게이트 라인과 공통 소오스 라인의 상부에서 같은 레벨로 금속 실리사이드가 형성된다. 이는 종래 공통 소오스 라인 상부가 게이트 라인 상부보다 높은 레벨로 형성되던 것과 비교할 때, 후속 공정 진행에 있어 단차를 줄일 수 있다는 이점이 있고, 공통 소오스 라인은 상부에 금속 실리사이드가 형성되므로 도전성이 개선된다. 또한 접지 선택 트랜지스터의 공통 소오스에 금속 실리사이드가 형성되지 않으므로 게이트 라인의 폭이 적은 고집적의 플래시 메모리를 형성하는 경우에도 기판으로 전류가 누출되거나 채널을 통해 브레이크 다운이 일어나는 것을 억제할 수 있다.

<45> 도10을 참조하면, 금속 실리사이드층(147, 147') 형성 후에 후속적으로 다시 층간 절연막(149)을 덮고, 층간 절연막(149)에 비트라인 콘택 홀을 형성한다. 그리고 도전층을 적층 패터닝하여 비트라인 콘택(151)과 비트라인(155)을 형성하는 등의 공정이 이루어지게 된다.

<46> 비트라인 콘택을 위한 패드를 공통 소오스 라인과 함께 형성하는 경우 콘택 패드의 상부에는 금속 실리사이드가 형성된다. 그리고 위로 층간 절연막을 덮고 콘택 홀을 형성하는 과정에서 콘택 홀의 깊이가 줄어들어 공정시간과 비용의 절약 및 공정 에러를 줄일 수 있다. 특히 비트라인을 금속으로 형성할 경우 금속 실리사이드층이 패드의 실리콘 층과 비트라인 및 비트라인 콘택의 금속층 사이에 옴릭 콘택을 형성하도록 도움을 줄 수 있다.

【발명의 효과】

<47> 본 발명에 따르면 다수 트랜지스터에 걸치는 선형 게이트 라인 형성을 위해 게이트 라인 상부에 도전성을 높이도록 금속 실리사이드층을 형성하는 과정에서 게이트 라인 옆으로 드러난 기판에 금속 실리사이드가 형성됨을 방지하므로 트랜지스터의 채널에서 브레이크 다운이 발생하는 것을 방지할 수 있고, 기판 소오스 드레인 영역의 도전성 증가로 인한 누설 전류 증가를 방지할 수 있다.

【특허청구범위】**【청구항 1】**

복수의 트랜지스터에서 게이트 전극의 기능을 하도록 선형으로 이루어지며 상부에 금속 실리사이드층을 가지고 하부는 게이트 절연막을 통해 반도체층과 격리되는 게이트 라인과,

상기 게이트 라인이 가로지르는 반도체층의 상기 게이트 라인 양쪽에 불순물 도핑만으로 형성되는 소오스 드레인 영역을 구비하여 이루어지는 반도체 장치.

【청구항 2】

제 1 항에 있어서,

상기 반도체층은 실리콘 기판으로 이루어짐을 특징으로 하는 반도체 장치.

【청구항 3】

제 1 항에 있어서,

상기 불순물 도핑은 불순물 $1E15$ 이온/cm² 이하의 도즈량으로 이루어진 것임을 특징으로 하는 반도체 장치.

【청구항 4】

제 1 항에 있어서,

상기 금속은 코발트나 티타늄 가운데 하나인 것을 특징으로 하는 반도체 장치.

【청구항 5】

반도체 기판에 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 위에 실리콘 게이트층을 형성하는 단계,
상기 실리콘 게이트층을 패터닝하여 게이트 라인을 형성하는 단계,
상기 게이트 라인을 마스크로 불순물 도핑을 실시하는 단계,
상기 저농도 불순물 도핑이 실시된 기판에 층간 절연막을 적층하는 단계,
상기 층간 절연막에 대한 평탄화 식각을 통해 상기 게이트 라인 상부의 실리콘 게이트층을 드러내는 단계 및

드러내진 상기 실리콘 게이트층 표면에 금속 실리사이드층을 형성하는 단계를 구비하여 이루어지는 반도체 장치 형성 방법.

【청구항 6】

제 5 항에 있어서,

상기 층간 절연막을 적층하는 단계에 이어 상기 게이트 라인의 적어도 한 쪽에 상기 층간 절연막을 식각하여 상기 기판을 드러내는 오프닝을 형성하는 단계,

실리콘층을 적층하여 상기 오프닝을 채우는 단계가 더 구비되고,

상기 평탄화 식각 단계에서는 상기 층간 절연막에 앞서 상기 실리콘층에 대한 제거가 이루어짐을 특징으로 하는 반도체 장치 형성 방법.

【청구항 7】

제 5 항에 있어서,

상기 금속 실리사이드층을 형성하는 단계는

금속층을 스퍼터링으로 적층하는 단계,

적층된 상기 금속층에 대한 어닐링을 실시하는 단계 및

미반응된 잔류 금속을 식각으로 제거하는 단계로 이루어짐을 특징으로 하는 반도체 장치 형성 방법.

【청구항 8】

기판 상의 셀 영역에서 소자 분리 절연막에 의해 일방으로 나란히 형성된 복수의 선형 반도체 활성 영역,

상기 활성 영역을 가로지르면서 접하도록 벽체형으로 형성되며 상부에 금속 실리사이드층을 가지는 실리콘 재질의 공통 소오스 라인,

상기 공통 소오스 라인 양측으로 대칭을 이루면서 상기 공통 소오스 라인과 나란히 2의 배수로 형성되며, 하부는 상기 활성 영역과 게이트 절연막으로 이격되고, 상부는 금속 실리사이드층으로 형성되는 일단의 게이트 라인,

상기 일단의 게이트 라인을 구성하는 각 게이트 라인 양측의 상기 활성 영역에 불순물이 도핑된 소오스/드레인 영역,

상기 공통 소오스 라인 및 상기 게이트 라인을 감싸면서 형성되는 층간 절연막,

상기 층간 절연막을 통과하는 콘택을 통해 상기 일단의 게이트 라인 양측의 상기 활성 영역 부분과 접속되며 상기 활성 영역과 나란히 형성되는 비트 라인을 구비하며,

상기 일단의 게이트 라인 가운데 적어도 일부 게이트 라인은 상기 게이트 라인과 상기 활성 영역이 교차하는 격자영역 상에서 아래로부터 실리콘층 플로팅 게이트, 분리 유전막층, 실리콘층 및 금속 실리사이드층 콘트롤 게이트의 적층구조를 이루는 것을 특징으로 하는 플래시 메모리 장치.

【청구항 9】

제 8 항에 있어서,

상기 공통 소오스 라인의 금속 실리사이드층과 상기 게이트 라인의 금속 실리사이드층은 동일한 레벨에서 동일한 재질로 형성된 것임을 특징으로 하는 플래시 메모리 장치.

【청구항 10】

제 8 항에 있어서,

상기 일단의 게이트 라인은 상기 공통 소오스 라인 양 쪽에 하나씩 두 개 형성됨을 특징으로 하는 플래시 메모리 장치.

【청구항 11】

제 8 항에 있어서,

상기 일단의 게이트 라인은 상기 공통 소오스 라인을 중심으로 양측으로 차례로 형성되는 접지 선택 게이트 라인, 복수의 워드 라인, 스트링 선택 게이트 라인으로 구성되며,

상기 일단의 게이트 라인 가운데 복수의 워드 라인이 상기 활성 영역과 교차하는 격자 상에는 플로팅된 게이트와 콘트롤 게이트가 유전막으로 분리되는 이중 게이트 구조를 가지는 것을 특징으로 하는 플래시 메모리 장치.

【청구항 12】

제 8 항에 있어서,

상기 소오스/ 드레인 영역은 $1E15$ 이온/cm² 이하의 저도즈 불순물 도핑 영역으로 이루어지는 것을 특징으로 하는 플래시 메모리 장치.

【청구항 13】

제 8 항에 있어서,

상기 콘택은 상기 게이트 라인 및 상기 공통 소오스 라인 상부와 같은 레벨에서 금속 실리사이드층을 가지는 실리콘 패드부와;

비트라인과 동일한 재질로 이루어진 상부로 나뉘어지는 것을 특징으로 하는 플래시 메모리 장치.

【청구항 14】

제 13 항에 있어서,

상기 비트라인은 금속 실리사이드를 형성한 금속과 동일한 금속 재질로 이루어짐을 특징으로 하는 플래시 메모리 장치.

【청구항 15】

제 8 항에 있어서,

상기 게이트 라인 양측벽에는 절연 스페이서가 구비되고,

상기 게이트 라인 양측의 소오스 드레인 영역은 LDD 형의 불순물 도핑 구조를 가지는 것을 특징으로 하는 플래시 메모리 장치.

【청구항 16】

플래시 메모리의 셀 영역을 형성함에 있어서,

반도체 기판에 소자 분리막을 형성하여 일방으로 나란히 형성되는 선형 활성 영역을 정의하는 단계,

상기 활성 영역에 게이트 절연막과 실리콘 플로팅 게이트층을 적층하는 단계,

상기 플로팅 게이트층을 패터닝하여 플로팅 게이트 중간 패턴을 형성하는 단계,

상기 중간 패턴이 형성된 기판 전면에 유전막을 형성하는 단계,

상기 유전막을 형성하는 단계 뒤에 상기 기판에 실리콘 콘트롤 게이트층을 형성하는 단계,

상기 실리콘 콘트롤 게이트층, 유전막, 상기 중간 패턴을 식각하여 상기 활성 영역이 형성된 방향과 수직한 방향으로 복수의 게이트 라인을 형성하는 단계,

상기 복수의 게이트 라인 사이의 활성 영역에 $1E15$ 이온/cm² 이하의 저농도 불순물 도핑을 실시하는 단계,

불순물 도핑이 이루어진 기판 전면에 하부 층간 절연막을 형성하는 단계,

상기 하부 층간 절연막을 식각하여 상기 활성 영역 가운데 공통 소오스 영역을 노출시키는 그루브를 형성하는 단계,

상기 그루브를 채우기 위한 실리콘층을 적층하는 단계,

상기 실리콘층 및 상기 하부 층간 절연막에 대한 평탄화 식각을 실시하여 상기 게이트 라인의 상부를 노출시키고 벽체형의 실리콘 공통 소오스 라인을 형성하는 단계,

노출된 상기 게이트 라인 상부 및 상기 실리콘 공통 소오스 라인 상부에 금속 실리콘사이드층을 형성하는 단계를 구비하여 이루어지는 플래시 메모리 형성 방법.

【청구항 17】

제 16 항에 있어서,

상기 불순물 도핑 단계와 상기 하부 층간 절연막 형성 단계 사이에 기판 전체에 식각 저지막을 형성하는 단계가 더 구비되는 것을 특징으로 하는 플래시 메모리 형성 방법.

【청구항 18】

제 16 항에 있어서,

상기 하부 층간 절연막에 대한 식각을 실시하면서 비트라인 콘택 영역에 콘택 홀을 형성하며,

상기 금속 실리사이드 형성 단계에 이어 상부 층간 절연막을 적층하는 단계,

상기 상부 층간 절연막을 식각하여 상기 비트라인 콘택 영역에 콘택 홀을 형성하는 단계,

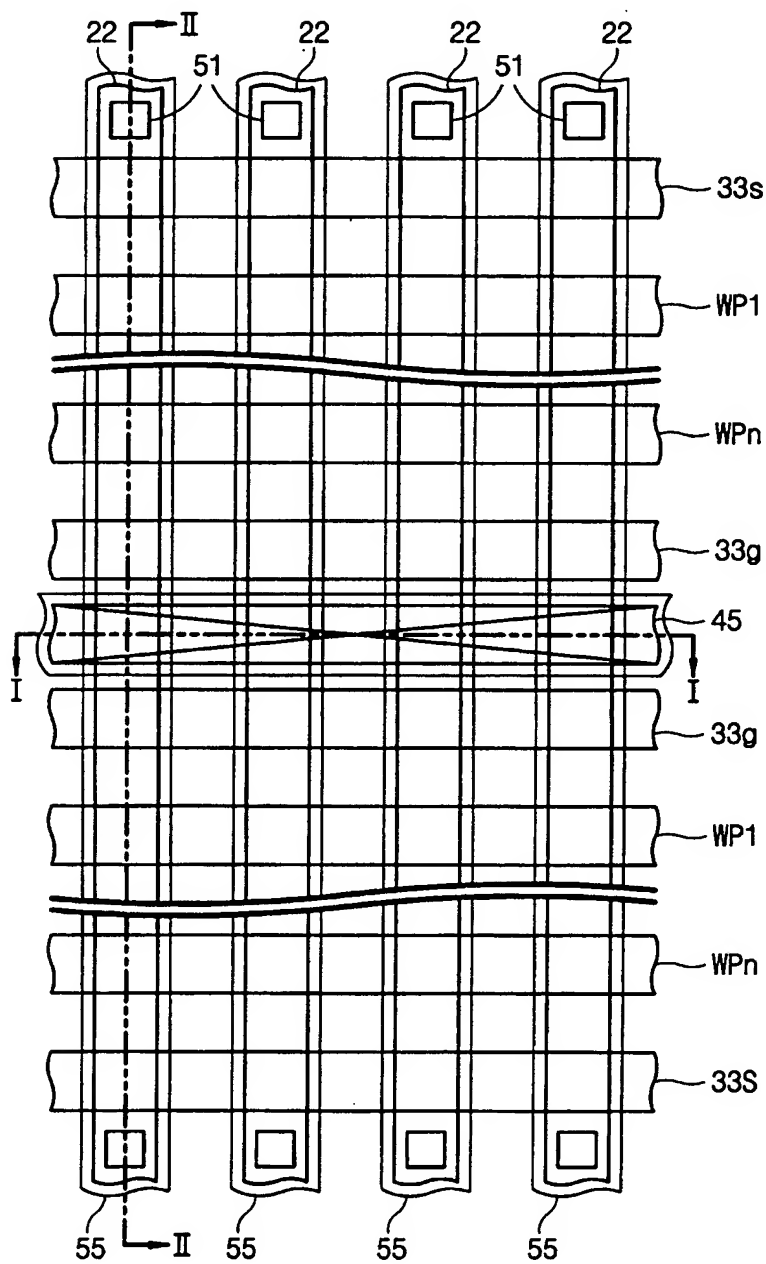
비트라인 및 비트라인 콘택을 위해 배선 금속층을 적층하는 단계,

상기 배선 금속층을 패터닝하여 비트라인을 형성하는 단계가 더 구비되는 것을 특징으로 하는 플래시 메모리 형성 방법.

【도면】

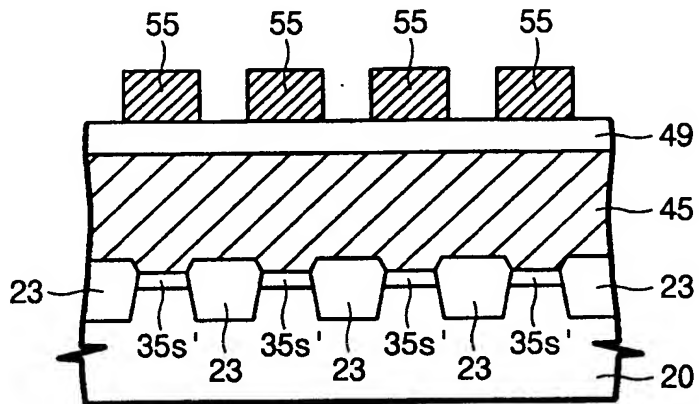
【도 1】

(종래기술)

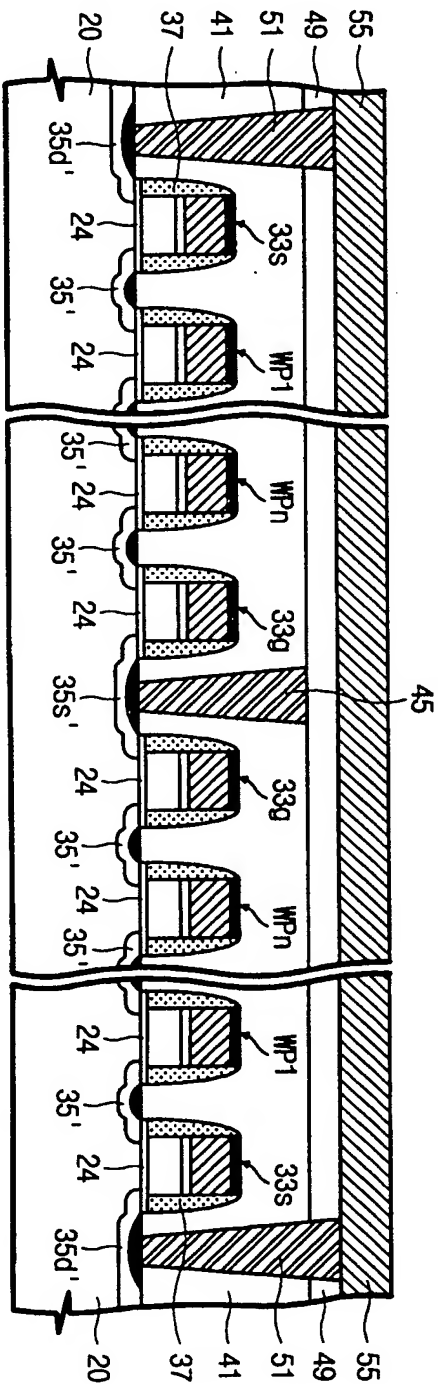


【도 2】

(종래기술)

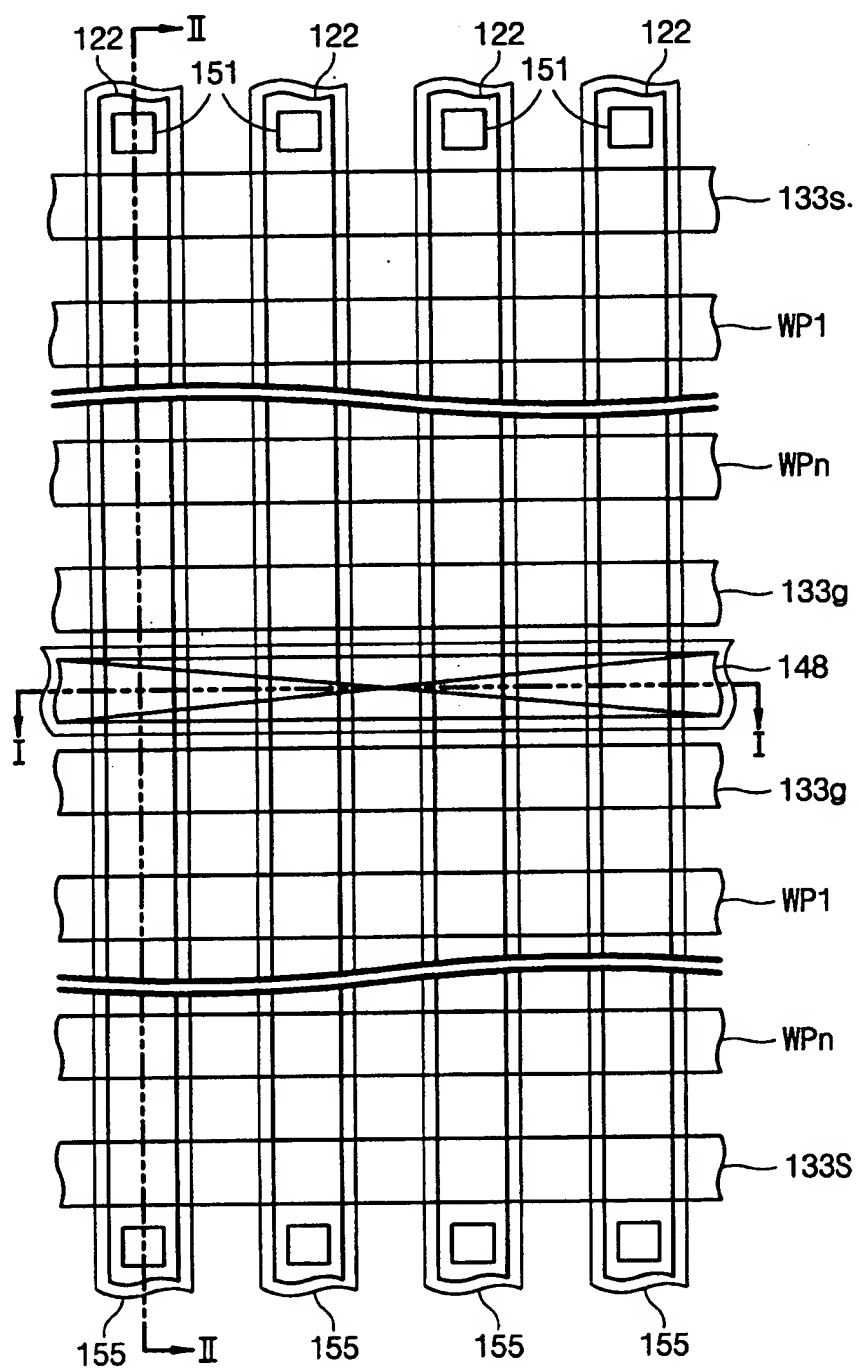


【H 3】

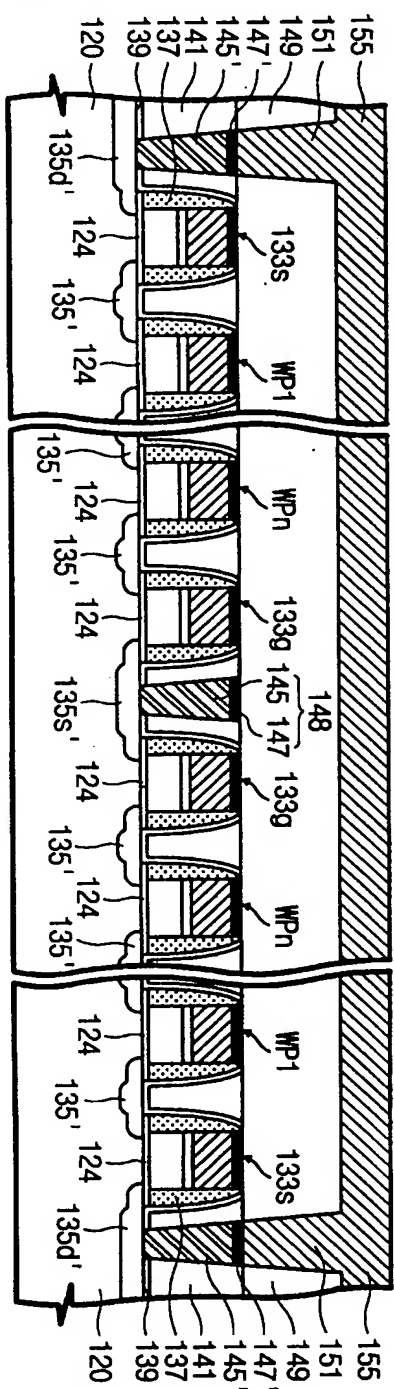


(종래기술)

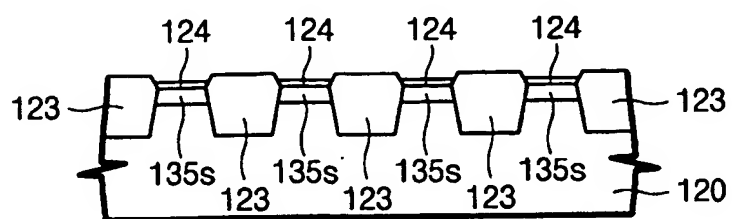
【図 4】



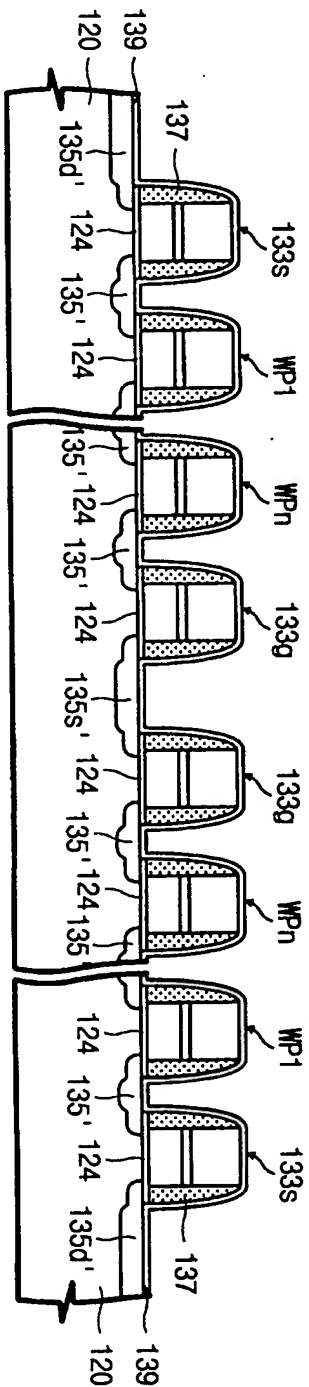
【도 5】



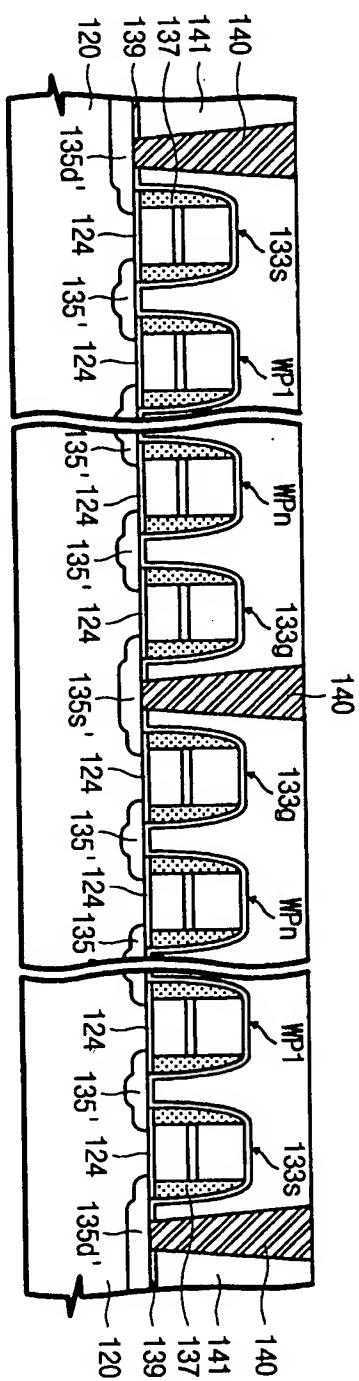
【도 6b】



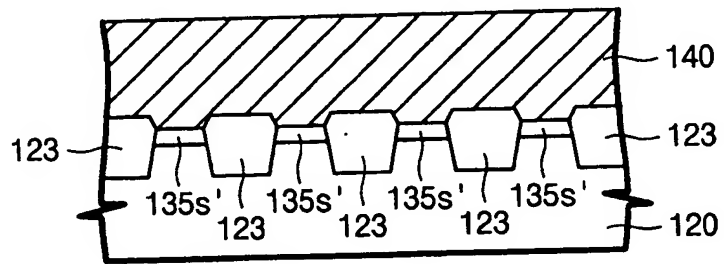
【図 7】



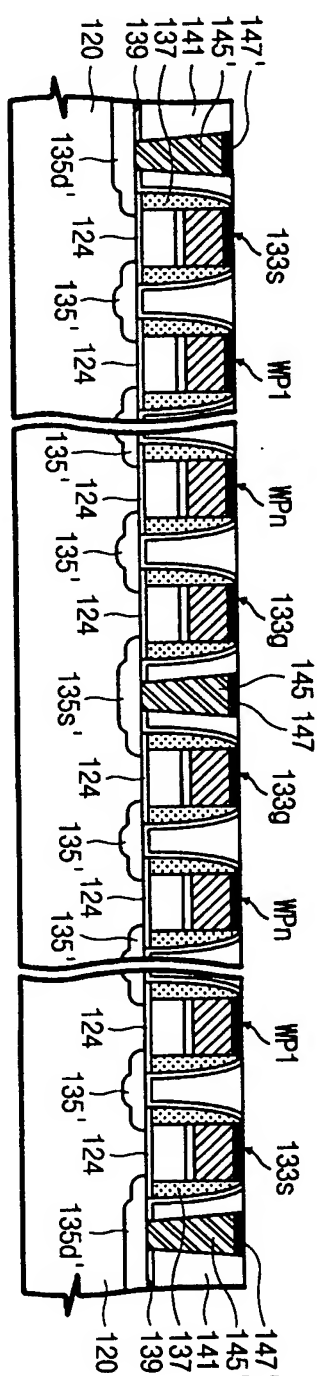
【H 8a】



【図 8b】



【도 9a】



【도 9b】

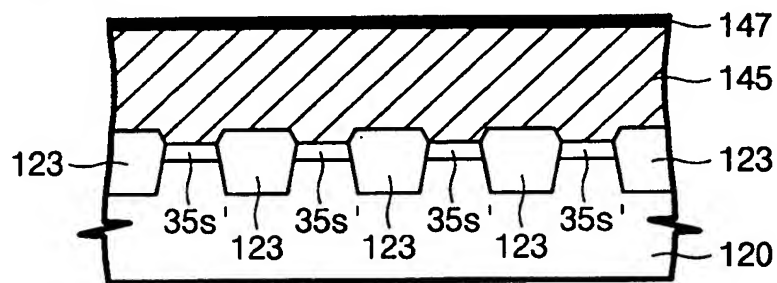


Figure 1 shows three cross-sectional views of a multi-layered structure, labeled (a), (b), and (c). The structure consists of a substrate 155, a layer 151, and a series of layers 149, 147, 145, 141, 137, 139, 120, 135d, 124, 135, 124, 133s, and WP1. The layers are shown in different states of expansion or contraction, with arrows indicating the direction of movement.

(a) Initial state: The layers are in their initial configuration. The substrate 155 is at the bottom, followed by layer 151. Above 151 are layers 149, 147, 145, 141, 137, 139, 120, 135d, 124, 135, 124, 133s, and WP1. The layers 149, 147, 145, 141, 137, 139, 120, 135d, 124, 135, 124, 133s, and WP1 are shown in their initial state.

(b) First state: The layers 149, 147, 145, 141, 137, 139, 120, 135d, 124, 135, 124, 133s, and WP1 have expanded or contracted, as indicated by the arrows. The layers 149, 147, 145, 141, 137, 139, 120, 135d, 124, 135, 124, 133s, and WP1 are shown in their first state.

(c) Second state: The layers 149, 147, 145, 141, 137, 139, 120, 135d, 124, 135, 124, 133s, and WP1 have expanded or contracted further, as indicated by the arrows. The layers 149, 147, 145, 141, 137, 139, 120, 135d, 124, 135, 124, 133s, and WP1 are shown in their second state.

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2001.03.22
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【사건의 표시】	
【출원번호】	10-2001-0001613
【출원일자】	2001.01.11
【심사청구일자】	2001.01.11
【발명의 명칭】	반도체 장치 및 그 형성 방법
【제출원인】	
【접수번호】	1-1-01-0007284-84
【접수일자】	2001.01.11
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상 항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조의 규정에 의하여 위와 같이 제출합니다. 대리인 임창현 (인) 대리인 권혁수 (인)

【수수료】

【보정료】 0 원

【추가심사청구료】 0 원

【기타 수수료】 0 원

【합계】 0 원

【첨부서류】 1. 보정내용을 증명하는 서류_1통

【보정대상항목】 식별번호 14

【보정방법】 정정

【보정내용】

이상의 도면에 표현된 플래시 메모리 구조를 이루는 공정 과정을 간단히 살펴보면, 먼저, 기판(20)에 도시되지 않은 소자 분리를 위한 절연막이 통상 STI 방법으로 형성된다. 소자 분리 절연막에 의해 활성 영역이 정의된다. 그리고 활성 영역에 게이트 절연막(24)이 형성된 뒤 스트링 선택 게이트 라인(33s), 복수의 워드 라인(WP), 접지 선택 게이트 라인(33g) 같은 게이트 라인이 활성 영역을 가로지르도록 형성된다. 또한, 게이트 라인들 사이에 드러난 활성 영역에는 불순물 도핑이 이루어져 동일한 선형 활성 영역을 따라 인접한 트랜지스터의 소오스 드레인 영역(35')이 겹쳐지게 형성된다. 통상 이온 주입에 의해서 형성된 소오스 드레인 영역(35')은 게이트 라인 측벽에 형성될 수 있는 스페이서(37)를 이용하여 이중도핑 구조(dual doped structure)를 이룬다. 이상의 과정은 플래시 메모리 분야의 기술자들에게 이미 잘 알려져 있다. 다음으로, 층간 절연막(41)을 적층하고 평탄화를 실시한다. 접지 선택 게이트 라인(33g)들의 공통 소오스 영역(35s')이 드러나게 그루브를 형성하고 폴리실리콘 등의 도전체를 채워 공통 소오스 라인(45)을 형성한다. 다시 층간 절연막(49)을 덮고 스트링 선택 게이트 라인(33s)의 드레인 영역(35d')이 드러나게 콘택 홀을 형성하고, 비트라인(55)을 형성하면서 도전층을 채워 비트라인 콘택(51)도 함께 형성한다.

【보정대상항목】 식별번호 21

【보정방법】 정정

【보정내용】

본 발명에서 반도체층은 통상 실리콘 기판으로 이루어진다. 또한 불순물 도핑은 게이트 라인의 폭에 따라 달라질 수 있으나 브레이크 다운을 안정적으로 방지할 수 있도록 가령 0.15um 이하의 게이트 라인 폭을 가지는 반도체 장치에 적용될 수 있도록 불순물 1.0×10^{15} ions/cm² 이하의 도즈량으로 도핑되며, 불순물 도핑만이 소오스 드레인에는 반도체층에 불순물 도핑을 제외한 금속 실리콘사이드 같은 도전성 영향 요소가 형성되지 않음을 의미한다.

【보정대상항목】 식별번호 30

【보정방법】 정정

【보정내용】

게이트 라인의 양쪽 활성 영역에는 불순물 도핑이 이루어져 소오스 드레인 영역(135')을 이룬다. 따라서 하나의 선형 활성 영역에 형성된 인접한 셀 트랜지스터들은 각자의 소오스와 드레인이 겹쳐지게 된다. 접지 선택 게이트 라인(133g)과 스트링 선택 게이트 라인(133s)은 선형 활성 영역(122)을 가로지르는 격자 상에서 플로팅 게이트와 콘트롤 게이트의 2중 게이트 구조를 가질 필요가 없다. 따라서, 이들 게이트 라인은 연속하는 플로팅 게이트층만으로 형성되거나, 형성된 콘트롤 게이트층이 더미 패턴(dummy pattern)으로 존재하거나, 버핑 콘택을 통해 플로팅 게이트층과 콘트롤 게이트층이 전기적으로 접속되는 경우를 가질 수 있다.

【보정대상항목】 식별번호 31

【보정방법】 정정

【보정내용】

각 게이트 라인 양측벽에는 통상 절연 스페이서(137)가 형성된다. 그리고 절연 스페이서(137)를 이용하여 기판(120)의 소오스 드레인 영역(135')에는 통상의 이중도핑 구조가 형성될 수 있다. 즉 게이트 라인 양 옆으로 기판(120) 활성 영역(122)에 저농도 도핑 영역이 얇게 형성되고, 게이트 라인 양 옆으로 절연 스페이서와 겹치지 않는 영역에는 상대적으로 고농도의 도핑 영역이 형성될 수 있다. 그러나 상대적 고농도의 도핑 영역도 게이트 라인 하부의 채널을 통해 브레이크 다운이 일어나지 않도록 가령, 게이트 라인 폭, 즉, 채널 길이가 $0.15\mu\text{m}$ 이하일 때 농도가 이온주입시 도즈량을 기준으로 $1.0 \times 10^{15} \text{ ions/cm}^2$ 이하로 제한된다. 스페이서(137)가 형성된 게이트 라인 위로 얇게 절연 보조층(139)가 형성되는 것이 바람직하다.

【보정대상항목】 식별번호 32

【보정방법】 정정

【보정내용】

게이트 라인들 및 공통 소오스 라인(148)을 감싸도록 기판 전체에 걸쳐 층간 절연막(141, 149)이 존재한다. 이 층간 절연막(141, 149)은 2개의 층으로 형성되며, 하층 층간 절연막(141)은 게이트 라인이나 공통 소오스 라인(148)의 금속 실리사이드층 형성 레벨과 동일한 레벨로 이루어진다. 스트링 선택 게이트 라인(133s) 상의 스트링 선택 트랜지스터에서 드레인 영역(135d')에 해당하는 영역에서, 층간 절연막(141, 149)에 형성된 비

트라인 콘택(151)과 패드를 형성하는 실리콘 패드와 금속 실리사이드층(145', 147')을 통해 비트라인(155)이 접속된다. 비트라인(155)은 선형 활성 영역(122) 위로 활성 영역(122)과 나란히 형성된다. 공통 소오스 라인(148)은 각 선형 활성 영역(122)과 두 접지 선택 게이트 라인(133g)이 겹치는 부분에 이루어지는 두 접지 선택 트랜지스터들의 공통 소오스 영역(135s')를 통해 접속된다.

【보정대상항목】 식별번호 35

【보정방법】 정정

【보정내용】

그리고, 도6A를 참조하면, 소자 분리된 기판(120)의 활성 영역에 얇은 게이트 절연막(124)을 형성한다. 게이트 절연막(124) 위에 실리콘 플로팅 게이트층을 형성하고 패터닝하여 플로팅 게이트 중간 패턴을 형성한다. 이때 대략 실리콘 플로팅 게이트층은 활성 영역과는 나란히 겹치도록 남게되고, 활성 영역 사이의 소자 분리막 위에서는 제거된다. 단, 접지 선택 라인이나 스트링 선택 라인이 형성될 영역에서는 소자 분리막 위에서 제거되지 않고, 활성 영역을 가로지르는 연속되는 선형 패턴을 이룰 수 있다.

【보정대상항목】 식별번호 39

【보정방법】 정정

【보정내용】

도7을 참조하면, 이온주입 방법으로 저농도 불순물 도핑을 실시한 상태에서 후속 공정이 실시된다. 이온주입시에 게이트 라인은 이온주입 마스크로 작용한다. 콘트롤 게이트 패턴(130), 유전막 패턴(128), 플로팅 게이트 패턴(126), 패터닝된 게이트 절연막

(124)으로 이루어진 게이트 전극(133)의 측벽에 질화막 혹은 산화막의 절연 스페이서(137)를 형성한다. 스페이서(137)는 게이트 전극(133)이 형성된 기판(120) 위로 절연막을 적층하고 전면 이방성 식각을 하는 방법으로 형성된다. 측벽에 절연 스페이서(137)가 형성된 게이트 라인을 마스크로 다시 상대적인 고농도 불순물 도핑을 실시한다. 다만, 게이트 라인 하부에 형성되는 채널을 통해 브레이크 다운이 발생하지 않도록 불순물 농도는 제한된다. 이로써 이중도핑 구조의 소오스 드레인 영역(135')이 형성되고, MOS 트랜지스터 구조가 이루어진다. 후속 공정을 위해 식각 저지막(139)으로 실리콘 질화막을 기판 전체에 걸쳐 1000Å 정도 적층한다.

【보정대상항목】 식별번호 40

【보정방법】 정정

【보정내용】

도8A를 참조하면, 게이트 전극(133)과 소오스 드레인 영역(135')이 형성되어 MOS 트랜지스터 구조를 가진 기판(120) 전면에 층간 절연막(141)을 형성한다. 층간 절연막(141)은 게이트 라인 사이의 골을 충분히 채울 수 있을 정도의 두께로 적층, 평탄화 한다. 그리고, 중앙쪽에 인접하여 나란히 형성된 두 개의 접지 선택 라인(133g) 중간의 활성 영역인 공통 소오스 영역(135s')을 노출시키도록 층간 절연막(141)에 그루브를 식각 형성한다. 물론 그루브 형성 영역에서 식각 저지막(139)도 식각으로 제거한다. 이때 비트라인 콘택을 위한 패드를 형성하기 위해 스트링 선택 라인의 일 측부인 드레인 영역(135d')에 콘택 홀이 함께 형성될 수 있다. 또한, 그루브 및 콘택 홀이 형성된 기판(120) 전면에 실리콘층(140), 가령, 도핑된 폴리실리콘층을 적층하여 그루브 및 콘택 홀을 채운다. 층간 절연막(141)이 드러나게 실리콘층(140)을 평탄화 식각한다.

【보정대상항목】 식별번호 42

【보정방법】 정정

【보정내용】

도9A, 도9B를 참조하면, 도8A 및 도8B에 나타난 단계에서 평탄화 식각을 실시하여 그루브를 채우는 실리콘층(140)과 층간 절연막(141) 상부를 제거하고 게이트 라인의 콘트를 게이트 패턴(130)이 드러나게 한다. 따라서 게이트 라인을 따라 길게 형성되며 일정 깊이를 가지는 공통 소오스 라인의 실리콘 벽체(145)와 비트라인 콘택용 실리콘패드(145')가 실리콘층(140)으로부터 형성된다. 노출된 실리콘 표면, 즉 실리콘 벽체(145), 실리콘 패드(145') 및 콘트를 게이트 패턴(130)의 상부표면에 금속 실리사이드층(147, 147', 147'')을 형성한다. 따라서 게이트 라인과 공통 소오스 라인의 실리콘 벽체(145) 및 비트라인 콘택용 실리콘 패드(145')의 상부에는 금속 실리사이드층(147, 147', 147'')이 형성되어 배선에 따른 저항을 줄일 수 있다.

【보정대상항목】 식별번호 43

【보정방법】 정정

【보정내용】

금속 실리사이드층의 금속은 코발트, 티타늄 등을 사용할 수 있다. 가령, 코발트를 사용하는 경우, 기판에 먼저 코발트를 스퍼터링 방법으로 100 내지 500Å 두께로 형성한다. 1차로 RTA(rapid thermal annealing)를 통해 450℃ 정도의 온도에서 Co_2Si 같은 코발트 실리사이드를 형성한다. 실리사이드화 되지 않은 코발트 금속은 선택적 식각을 통해 기판에서 제거한다. 다시 850℃ 정도의 고온으로 RTA를 실시하여 특성이 좋은 CoSi_2

같은 코발트 실리사이드를 형성한다.

【보정대상항목】 식별번호 44

【보정방법】 정정

【보정내용】

따라서, 게이트 라인과 공통 소오스 라인의 상부에서 같은 레벨로 금속 실리사이드층(147'',147')이 형성된다. 이는 종래 공통 소오스 라인 상부가 게이트 라인 상부보다 높은 레벨로 형성되던 것과 비교할 때, 후속 공정 진행에 있어 단차(step coverage)를 줄일 수 있다는 이점이 있고, 공통 소오스 라인은 상부에 금속 실리사이드가 형성되므로 도전성이 개선된다. 또한 접지 선택 트랜지스터의 공통 소오스에 금속 실리사이드가 형성되지 않으므로 게이트 라인의 폭이 적은 고집적의 플래시 메모리를 형성하는 경우에도 기판으로 전류가 누출되거나 채널을 통해 브레이크 다운이 일어나는 것을 억제할 수 있다.

【보정대상항목】 식별번호 45

【보정방법】 정정

【보정내용】

도10을 참조하면, 금속 실리사이드층(147,147',147'') 형성 후에 후속적으로 다시 층간 절연막(149)을 덮고, 층간 절연막(149)에 비트라인 콘택 홀을 형성한다. 그리고 도전층을 적층 패터닝하여 비트라인 콘택(151)과 비트라인(155)을 형성하는 등의 공정이 이루어지게 된다.

【보정대상항목】 청구항 1

【보정방법】 정정

【보정내용】

복수의 트랜지스터에서 게이트 전극의 기능을 하도록 선형으로 이루어지며 상부에 금속 실리사이드층을 가지고 하부는 게이트 절연막을 통해 반도체층과 격리되는 게이트 라인과,

반도체층의 상기 게이트 라인 양쪽에 불순물 도핑만으로 형성되는 소오스 드레인 영역을 구비하여 이루어지는 반도체 장치.

【보정대상항목】 청구항 3

【보정방법】 정정

【보정내용】

제 1 항에 있어서,

상기 불순물 도핑은 불순물 1.0×10^{15} ions/cm² 이하의 도즈량으로 이루어진 것임을 특징으로 하는 반도체 장치.

【보정대상항목】 청구항 6

【보정방법】 정정

【보정내용】

제 5 항에 있어서,

상기 층간 절연막을 적층하는 단계에 이어 상기 층간 절연막을 식각하여 상기 기판의 일정영역을 드러내는 오프닝을 형성하는 단계,

실리콘층을 적층하여 상기 오프닝을 채우는 단계가 더 구비되고,

상기 평탄화 식각 단계에서는 상기 층간 절연막에 앞서 상기 실리콘층에 대한 제거가 이루어짐을 특징으로 하는 반도체 장치 형성 방법.

【보정대상항목】 청구항 12

【보정방법】 정정

【보정내용】

제 8 항에 있어서,

상기 소오스/ 드레인 영역은 1.0×10^{15} ions/cm² 이하의 저도즈 불순물 도핑 영역으로 이루어지는 것을 특징으로 하는 플래시 메모리 장치.

【보정대상항목】 청구항 14

【보정방법】 정정

【보정내용】

제 13 항에 있어서,

상기 비트라인은 금속 실리사이드층을 형성한 금속과 동일한 금속 재질로 이루어짐을 특징으로 하는 플래시 메모리 장치.

【보정대상항목】 청구항 15

【보정방법】 정정

【보정내용】

제 8 항에 있어서,

상기 게이트 라인 양측벽에는 절연 스페이서가 구비되고,

상기 게이트 라인 양측의 소오스 드레인 영역은 이중 불순물 도핑구조를 가지는 것을 특징으로 하는 플래시 메모리 장치.

【보정대상항목】 청구항 16

【보정방법】 정정

【보정내용】

플래시 메모리의 셀 영역을 형성함에 있어서,

반도체 기판에 소자 분리막을 형성하여 일방으로 나란히 형성되는 선형 활성 영역을 정의하는 단계,

상기 활성 영역에 게이트 절연막과 실리콘 플로팅 게이트층을 적층하는 단계,

상기 플로팅 게이트층을 패터닝하여 플로팅 게이트 중간 패턴을 형성하는 단계,

상기 중간 패턴이 형성된 기판 전면에 유전막을 형성하는 단계,

상기 유전막을 형성한 상기 기판에 실리콘 콘트롤 게이트층을 형성하는 단계,

상기 실리콘 콘트롤 게이트층, 유전막, 상기 중간 패턴을 식각하여 상기 활성 영역이 형성된 방향과 수직한 방향으로 복수의 게이트 라인을 형성하는 단계,

상기 복수의 게이트 라인 사이의 활성 영역에 1.0×10^{15} ions/cm² 이하의 저농도 불순물 도핑을 실시하는 단계,

불순물 도핑이 이루어진 기판 전면에 하부 층간 절연막을 형성하는 단계,

상기 하부 층간 절연막을 식각하여 상기 활성 영역 중앙의 공통 소오스 영역을 노출시키는 그루브를 형성하는 단계,

상기 그루브를 채우기 위한 실리콘층을 적층하는 단계,

상기 실리콘층 및 상기 하부 층간 절연막에 대한 평탄화 식각을 실시하여 상기 게이트 라인의 상부를 노출시키고 벽체형의 실리콘 공통 소오스 라인을 형성하는 단계,

노출된 상기 게이트 라인 상부 및 상기 실리콘 공통 소오스 라인 상부에 금속 실리콘사이드층을 형성하는 단계를 구비하여 이루어지는 플래시 메모리 형성 방법.

【보정대상항목】 청구항 18

【보정방법】 정정

【보정내용】

제 16 항에 있어서,

상기 그루브를 형성하는 단계는 비트라인 콘택 영역에 콘택 홀을 형성하는 것을 포함하며,

상기 금속 실리콘사이드층 형성 단계에 이어 상부 층간 절연막을 적층하는 단계,

상기 상부 층간 절연막을 식각하여 상기 비트라인 콘택 영역에 콘택 홀을 형성하는 단계,

비트라인 및 비트라인 콘택을 위해 배선 금속층을 적층하는 단계,

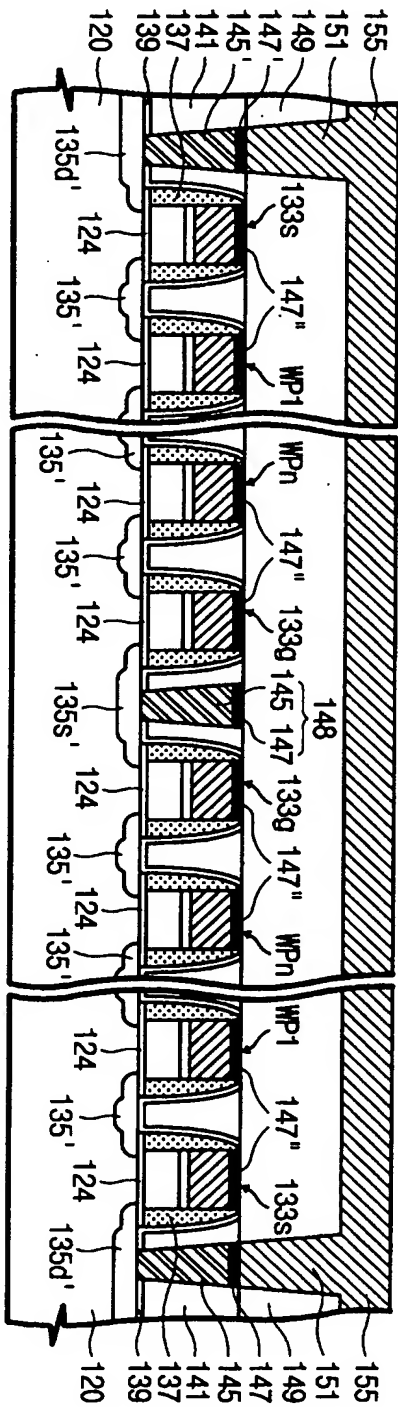
상기 배선 금속층을 패터닝하여 비트라인을 형성하는 단계가 더 구비되는 것을 특징으로 하는 플래시 메모리 형성 방법.

【보정대상항목】 도 5

【보정방법】 정정

【보정내용】

【도 5】



1020010001613

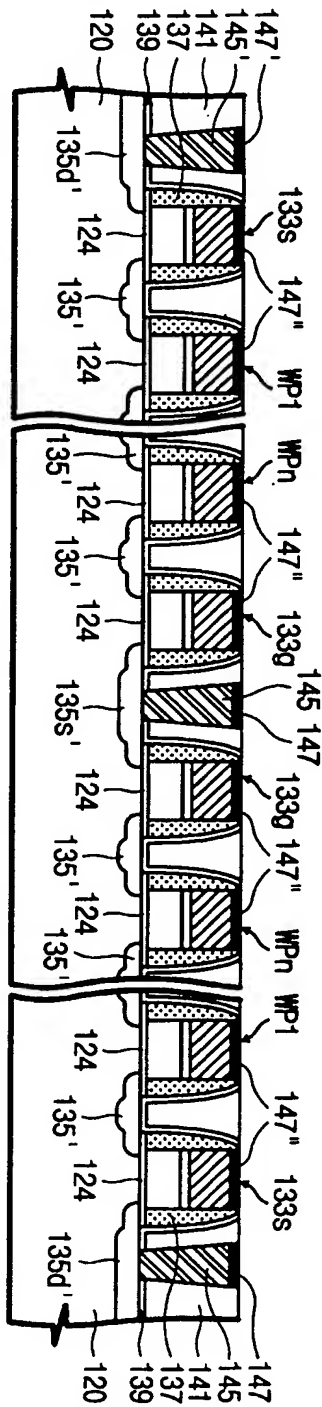
출력 일자: 2001/3/29

【보정대상항목】 도 9a

【보정방법】 정정

【보정내용】

【도 9a】

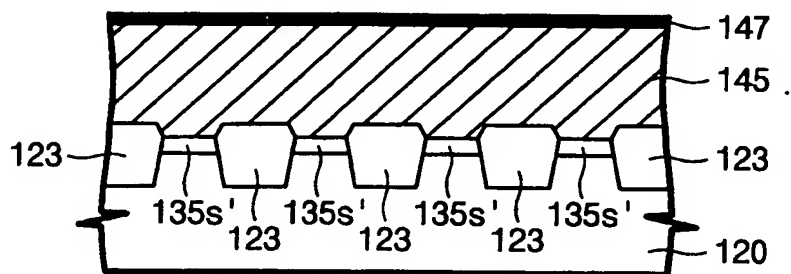


【보정대상항목】 도 9b

【보정방법】 정정

【보정내용】

【도 9b】



【보정방법】 정정

【보정내용】

【도 10】

